

## БАГАТОКАНАЛЬНА СИСТЕМА ОБРОБКИ РАДІОЛОКАЦІЙНОЇ ІНФОРМАЦІЇ НА FPGA

Правда В. І.<sup>1</sup>, к. т. н. проф.; Бичков В. Є.<sup>2</sup>,

<sup>1</sup>КПІ ім. Ігоря Сікорського, м. Київ, Україна

<sup>2</sup>НВП «Омега», м. Київ, Україна

Для детального дослідження сигналу в межах смуги частот, що виділяє певний попередній перетворювач частоти може бути використана багатоканальна цифрова фільтрація. Це необхідно для випадків цифрової обробки сигналів зв'язку для кореляційних алгоритмів пошуку бажаних пакетів інформації, а також для обробки радіолокаційних сигналів відбиття у випадку дослідження цілей які рухаються з різними швидкостями [1].

Для рішення розпізнавання цілей з різними швидкостями, відбитий від рухомої цілі сигнал можна представити у вигляді:

$$S(t)_{\text{пр}} = A(t) \cdot \cos(2\pi t(f_n + f_d) + \theta(t)).$$

В цій залежності  $\theta(t)$  — закон маніпуляції фази прийнятого сигналу, функція що повільно змінюється у порівнянні з  $2\pi f_n(t)$ ,  $A(t)$  — огибающая,  $f_d$  — частота Доплера. Особливість даного процесу, при відносному збереженні вузькосмуговості, ( $\Delta F/f_n \ll 1$ ,  $\Delta F$  — ширина спектру сигналу,  $f_n$  — носійна частота) дозволяє в деяких випадках використовувати для його представлення методику огибающих. Також можливе використання попереднього перетворювача частоти, що формує на виході комплексний сигнал. Після цього над комплексним сигналом можна виконувати вузькосмугову обробку з переналаштуванням частоти у межах прийнятої смуги:

$$S_c(\Delta t) = S(\Delta t)_{\text{пр}} \cdot \cos(2\pi f_n \Delta t) = \frac{A(\Delta t)}{2} \cdot (\cos(2\pi f_n \Delta t - 2\pi f_d \Delta t - 2\pi f_n \Delta t - \theta(\Delta t)) + \cos(4\pi f_n \Delta t + \theta(\Delta t))), \quad (1)$$

$$S_s(\Delta t) = S(\Delta t)_{\text{пр}} \cdot \sin(2\pi f_n \Delta t) = \frac{A(\Delta t)}{2} \cdot (\sin(2\pi f_n \Delta t - 2\pi f_d \Delta t - 2\pi f_n \Delta t - \theta(\Delta t)) + \sin(4\pi f_n \Delta t + \theta(\Delta t))). \quad (2)$$

Після операції переносу на відео частоту необхідно виконати низькочастотну фільтрацію синфазної та квадратурної складової фільтром з смугою не менш ніж  $\Delta F$ . Якщо, наприклад,  $\theta(t)$  змінюється за законом бінарної послідовності символів з переходом значень фаз 0 та  $\pi$ , то вирази (1) та (2), що відповідають синфазній та квадратурній складовій можна привести до вигляду:

$$S_c(\Delta t) = \frac{A(\Delta t)}{2} \cdot (\cos(2\pi f_d \Delta t) \cdot \cos(\theta(\Delta t))),$$

$$S_s(\Delta t) = \frac{A(\Delta t)}{2} \cdot (\sin(-2\pi f_d \Delta t) \cdot \cos(\theta(\Delta t))).$$

Загальна структурна схема пристрою обробки наведена на рис. 1.

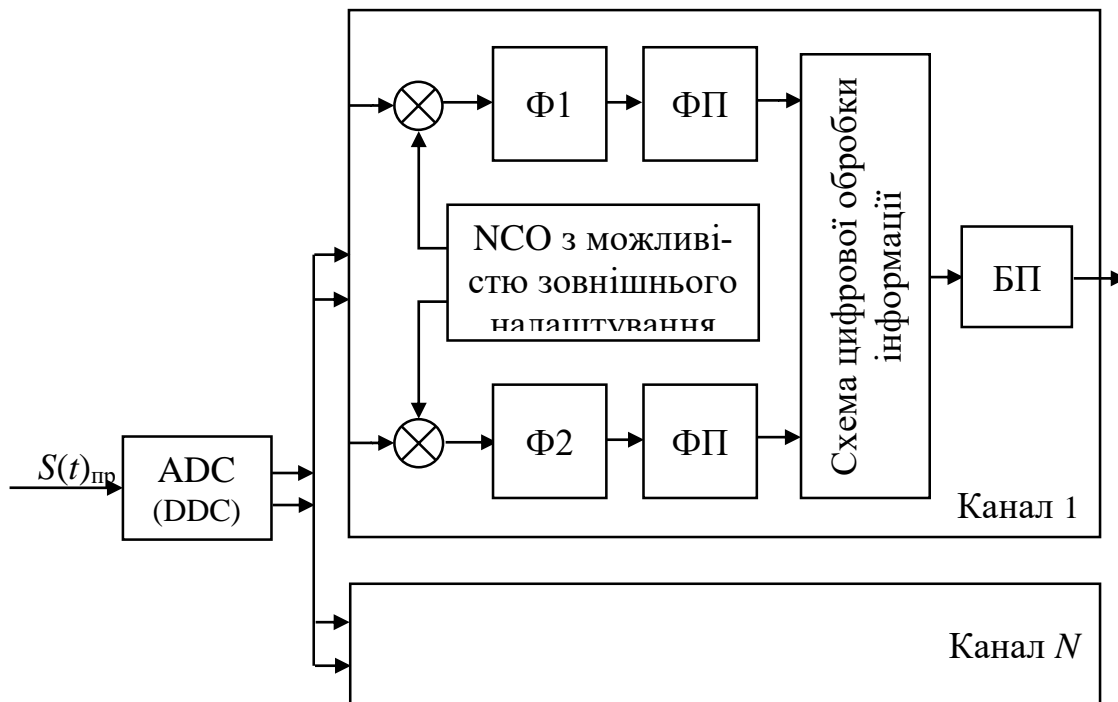


Рисунок 1 Загальна структурна схема багатоканальної обробки

У наведеній вище схемі:

- DDC — цифровий перетворювач частоти. В кожному з каналів присутній генератор квадратурних коливань налаштованих на бажану в даному каналі частоту.
- Ф1 та Ф2 — низькочастотні фільтри з смугою пропускання  $\Delta F$ .
- ФП — формувачі цифрових пакетів синфазного та квадратурного каналів для необхідності передачі даних на подальшу схему обробки.

Як результат практичної реалізації можливе використання послідовної структури багатоканального фільтру при їх побудові на FPGA. Послідовну структуру зображено на рис. 2. В ній використовуються дві області пам'яті: пам'ять даних та пам'ять коефіцієнтів [2]. Основним компонентом цієї структури є контролер, генератор адреси якого працює за кільцевим методом та дозволяє гнучко вибирати необхідні для обчислення цифрові відліки вхідного сигналу та необхідні коефіцієнти імпульсної характеристики фільтру.

Таке рішення дозволяє побудувати в межах однієї FPGA, бажану кількість каналів фільтрів, спираючись на задану частоту дискретизації. Але саме величина частоти дискретизації, з якою може працювати кожен фільтр представленої структури, має пряму залежність від частоти дискретизації ADC, швидкості обчислень за допомогою вбудованого блоку DSP [2], та зворотну залежність від тривалості імпульсної характеристики фільтру.

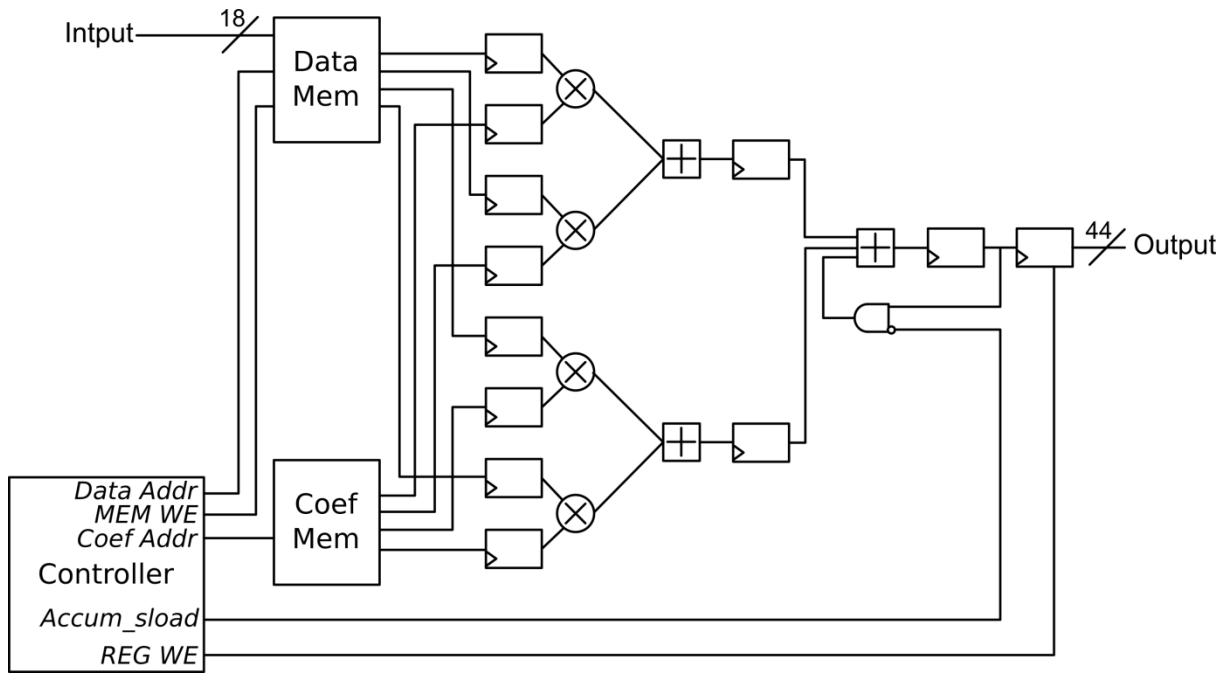


Рисунок 2 Послідовна структура реалізації фільтру

Представлену структуру було закладено до побудови системи попередньої оцінки швидкості цілей у мобільному радіолокаційному комплексі, та реалізовано на базі FPGA Altera Cyclone V (5CGXFC9E), 1200 швидкісних каналів.

#### Перелік посилань

1. Bychkov V. Multichannel radar receiver / Bychkov V., Pravda V. // Modern problems of radio engineering, telecommunications and computer science TCSET2012, Lviv-Slavsko, Ukraine. — p. 165.
2. Bychkov V. Multichannel Digital Filters on FPGA / Bychkov V., Pravda V. // Modern problems of radio engineering, telecommunications and computer science. TCSET2014, Lviv-Slavsko, Ukraine. — p. 202.

#### Анотація

Розглянуто приклад побудови, та практичної реалізації багатоканальної системи визначення швидкості рухомої цілі, що виконано на FPGA Altera-Cyclone.

**Ключові слова:** багатоканальна, Доплер, FPGA.

#### Аннотация

Рассмотрен пример построения и практической реализации многоканальной системы определения скорости подвижной цели выполненной на FPGA Altera-Cyclone.

**Ключевые слова:** многоканальная, Доплер, FPGA.

#### Abstract

An example of construction and implementation of a multichannel detection system of moving target on FPGA Altera-Cyclone is described.

**Keywords:** multi-channel, Doppler, FPGA.